

PAT-NO: JP402216839A

DOCUMENT-IDENTIFIER: JP 02216839 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: August 29, 1990

INVENTOR-INFORMATION:

NAME

TAKEI, KATSUO

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP01037514

APPL-DATE: February 17, 1989

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 228/904

ABSTRACT:

PURPOSE: To realize multipin actualization without enlarging the size of a chip by arranging relay chips where a plurality of relay pads are provided at the outside position of a semiconductor chip having a circuit function, and connecting a part of the middle of a bonding wire, which connects an electrode pad with an outer lead, to the relay pad.

CONSTITUTION: The relay chip 6 is a semiconductor chip which does not have a circuit function and has only relay pads 7 being electrically insulated from each other and capable of wire bonding. And the island 4 of a lead frame has an area capable of mounting a main chip 1 and relay chips 6 specified distance apart, and the main chip 1, to nearly the center of the island 4, and the relay chips 6, onto the islands 4 on both sides of the main chip 1, are stuck respectively. On the other hand, through the inner electrode pad 2 of the main

chip 1 and the outer lead 3 are connected by a bonding wire 5, hereupon a part of the middle of the bonding wire 5 is connected to the relay pad 7 of the relay chip 6.

COPYRIGHT: (C)1990,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-216839

⑬ Int.Cl.³

H 01 L 21/60

識別記号

3 0 1 A

庁内整理番号

6918-5F

⑭ 公開 平成2年(1990)8月29日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-37514

⑰ 出 願 平1(1989)2月17日

⑱ 発 明 者 武 井 勝 男 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 鈴木 章夫

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 半導体チップの電極パッドと外部リードとをボンディングワイヤにより接続する半導体装置において、回路機能を有する半導体チップの外側位置に複数個の中継パッドを設けた中継チップを配設し、前記ボンディングワイヤの中間一部をこの中継パッドに接続したことを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、特に半導体チップの内部電極パッドと外部リードとをワイヤにより接続する構造に関する。

(従来の技術)

従来、半導体チップの内部電極パッドと外部リードとの接続をワイヤーボンディングにより行う半導体装置では、第5図に示すように、リードフ

レームもしくはパッケージのアイランド4に固定された半導体チップ1の内部電極パッド2と外部リード3の2箇所にわたってボンディングワイヤ5を接続した構成となっている。

(発明が解決しようとする課題)

ところで、最近の半導体装置にあっては、高機能化、動作させる為のソフト設計の容易化等の理由より入出力ピン数が数百ピンにも及ぶいわゆる多ピン化が必要とされてきている。このような状況の下で、ワイヤーボンディングによって内部電極パッドと外部リードとを接続する半導体装置の多ピン化を図る際には、次にあげる2つの制約を受ける。

まず第1に外部リードのピッチ及び幅である。第6図に示す外部リード3のピッチLPおよび幅LWは、現在最小のものでLP=0.22mm、LW=0.11mm程度である。外部リード3は通常金属板をプレス加工やエッチング加工により成形しているが、リード側のボンディング性を損なうことなしにピッチおよび幅をこれ以上狭く加工することは

事実上不可能になってきている。

制約の第2は半導体チップのチップサイズの問題である。チップサイズが大きくなるとシリコンウェハ当りの収率が減りコスト高となる。このためチップサイズは、機能を満たすに必要なだけの最小寸法にすることが望ましい。

以上の2つの制約から、従来の半導体装置でチップサイズを小さく抑え、しかも外部リードの寸法を変えることなく多ピン化を図る場合には、第6図に示す半導体チップ1の内部電極パッド2と外部リード3との間の距離を長くとり、外部リードが配置される領域を広くして外部リードの数を増やすという対策が必要になる。

ところが、この距離が長くなるに従い、ワイヤーボンディングによって結線されるワイヤは第6図のAに示すようなカール形状やリード面よりワイヤが下方に垂れ下がった形状になり易くなる。また、ボンディング時には支障なく結線されたワイヤであっても、樹脂封止によって封止される半導体装置ではワイヤが長い分圧入される樹脂によ

ってワイヤが容易に変形するようになる。そして、このようなワイヤの変形は内部ショートの原因となる。

以上のように、内部電極パッドと外部リードとの距離が長くなるとワイヤの結線不良が生じ易いため、従来の半導体装置で多ピン化を図る場合には内部電極パッドと外部リードとの距離が長く取れない分、チップの機能とは無関係にチップサイズを大きくしなくてはならずコスト高になるという問題があった。

本発明はチップサイズを大きくすることなく多ピン化を実現する半導体装置を提供することを目的とする。

〔課題を解決するための手段〕

本発明の半導体装置は、回路機能を有する半導体チップの外側位置に複数個の中継パッドを設けた中継チップを配設し、半導体チップの電極パッドと外部リードとを接続するボンディングワイヤの中間一部をこの中継パッドに接続している。

〔作用〕

一方、主チップ1の内部電極パッド2と外部リード3とはボンディングワイヤ5によって接続されているが、ここではボンディングワイヤ5の中間一部を前記中継チップ6の中継パッド7に接続している。

このボンディングワイヤ5の接続方法としては、例えば第2図(a)に示すように、キャビラリ(ボンディングツール)Tを用いて主チップ1の内部電極パッド2にボンディングワイヤ5の先端を接続した後、ボンディングワイヤ5を移動させて今度は中継チップ6の中継パッド7にボンディングを行う。更に、同図(b)のように、ボンディングワイヤ5を延長させて外部リード3にも接続を行う。その後、同図(c)のように、ボンディングワイヤ5を切断し、ボンディングが完了される。

なお、ボンディングワイヤの他の接続方法としては、第3図(a)のように、最初に主チップ1の内部電極パッド2と中継チップ6の中継パッド7とのボンディングを行い、一旦ボンディングワ

上述した構成では、ボンディングワイヤは中間一部が中継パッドにより支持されるため、その機械的な強度が増大され、ボンディングワイヤの変形による内部ショートを防止する。

〔実施例〕

次に、本発明を図面を参照して説明する。

第1図(a)は本発明の第1実施例の要部の平面図、第1図(b)はその全体縦断面図である。これらの図において、主チップ1は回路機能を有する従来の半導体チップである。また、中継チップ6は、それ自体は回路機能を持たずその内部には、相互に電氣的に絶縁されたワイヤーボンディング可能な中継パッド7のみを有する半導体チップである。そして、リードフレームのアイランド4は、主チップ1と中継チップ6を所定の距離離して搭載可能な面積を有しており、前記主チップ1をアイランド4の略中央に、中継チップ6を主チップ1の両側のアイランド4上に夫々固着している。なお、主チップ1と中継チップ6は電氣的に絶縁されている。

ワイヤ5を切断する。その後、再びボンディングボール5aを形成後、同図(b)のように、中継パッド7と外部リード3とのボンディングを行う。その後、同図(c)のようにボンディングワイヤ5を切断してボンディングが完了される。

したがって、この構成では、ボンディングワイヤ5はその中間の一部において中継チップ6により支持されることになり、ボンディングワイヤ5を長くした場合でもその機械的な強度が向上される。これにより、半導体チップ(主チップ)を小型化し、かつ一方で外部リードを他ピン化して両者間の距離を大きくした場合でも、ボンディングワイヤ5の変形が防止され、内部ショートが発生を抑制することができる。

第4図は本発明の第2実施例を示しており、半導体装置の内部構造の一部平面図である。

この実施例では、第4図(a)のように、中継チップ6に設けた複数個の中継パッド7のうち、所定のものについては中継チップ6内に設けた内部配線8により相互に電気接続した構成としてい

る。ここでは、中継パッド7aと中継パッド7bが電気接続されている。

したがって、第2図(a)のように、ボンディングワイヤ5の中間を中継パッド7aに接続し、更にこのワイヤ5をそのまま延長して外部リード3に接続する構成とするのは勿論であるが、第2図(b)のように、ボンディングワイヤ5で内部電極パッド2と中継パッド7aとを接続する一方で、別のボンディングワイヤ5Aで中継パッド7bと外部リード3を接続する構成とすることも可能である。

これにより、同一の主チップ1を異種のリードフレームに容易に搭載することができ、主チップ1及びリードフレームの汎用性を高めることができるという利点がある。

(発明の効果)

以上説明したように本発明は、ボンディングワイヤを中継支持する中継チップを設けることにより、電極パッドと外部リードとの距離が長くなってもワイヤの接続不良を防止でき、半導体チップ

の小型化を図る一方で他ピン化が実現できる。また、中継チップには中継パッドのみを設ければよいので、製造に必要な工程数は非常に少なくよく、しかも半導体装置の組立に際しても特別な設備を必要としないため、上述した他ピン化された半導体装置を低コストで実現できる効果がある。

4. 図面の簡単な説明

第1図(a)は本発明の半導体装置の第1実施例の一部の平面図、第1図(b)はその全体構成の縦断面図、第2図(a)乃至第2図(c)はワイヤのボンディング方法を説明するための一部の縦断面図、第3図(a)乃至第3図(c)は他のワイヤボンディング方法を説明するための一部の縦断面図、第4図(a)および第4図(b)は本発明の第2実施例の夫々異なる態様を示す一部の平面図、第5図は従来の半導体装置の縦断面図、第6図は従来の半導体装置の問題を説明するための一部の平面図である。

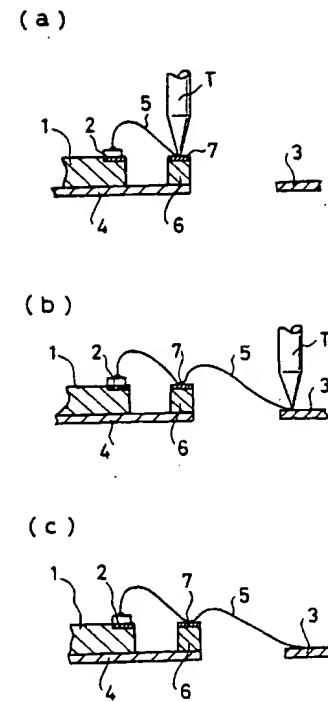
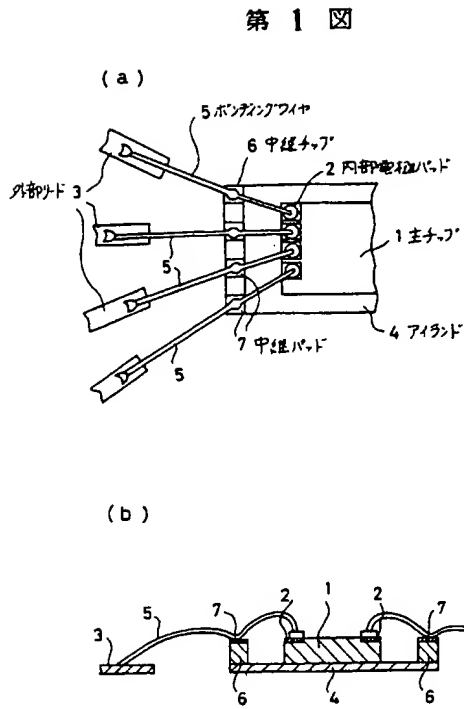
1…主チップ(半導体チップ)、2…内部電極パッド、3…外部リード、4…アイランド、

5、5A…ボンディングワイヤ、5a…ボール、6…中継チップ、7、7a、7b…中継パッド、8…内部配線、T…キャピラリ(ボンディングツール)。

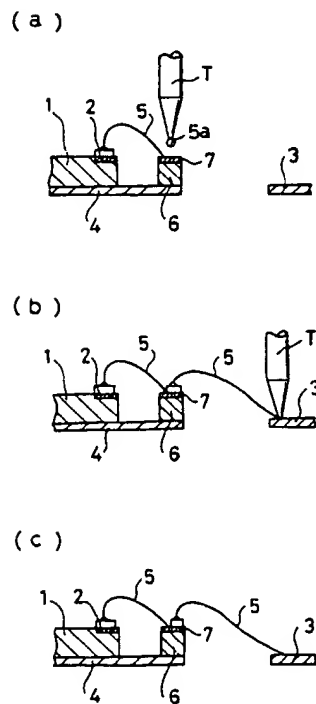
代理人 弁理士 鈴木 章



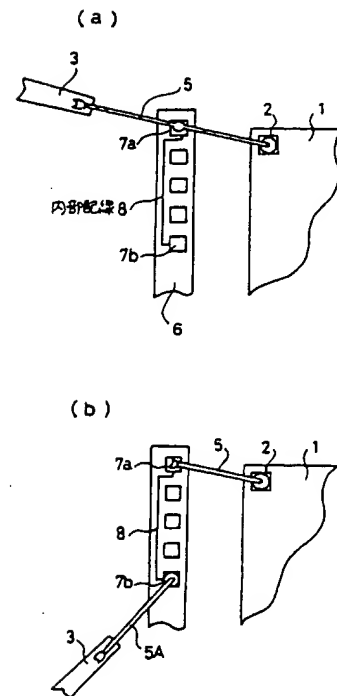
第 2 図



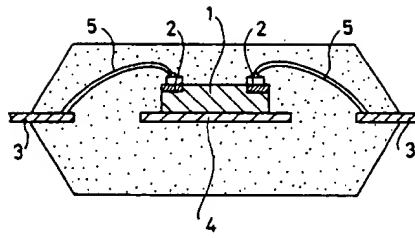
第 3 図



第 4 図



第 5 図



第 6 図

